

VII. 高性能計算システム研究部門

1. メンバー

教授	建部 修見, 朴 泰祐, 高橋 大介, 額田 彰, 辻 美和子, 塙 敏博 (客員教授, 東京大学)
准教授	多田野 寛人
助教	藤田 典久
主任研究員	前田 宗則
学生	大学院生 16 名, 学類生 5 名, 研究生 1 名

2. 概要

本研究部門では、ストレージシステム、並列入出力、分散システムソフトウェア、GPU 利用技術、量子 HPC、並列プログラミング環境、並列数値計算の高速化などの研究を行っている。今年度は以下の研究を行った。

- 並列 I/O と高速ストレージシステム、広域ストレージシステムの研究開発
- アプリケーションコードの GPU 加速に関する研究
- 並列数値アルゴリズムの GPU による高速化
- 量子 HPC に関する研究
- 階層並列型数値解法の高性能化に関する研究
- スーパーコンピュータシステムの性能に関する研究

3. 研究成果

[1] 並列 I/O と高速ストレージシステムの研究 (建部)

アプリケーションのデータ入出力性能を向上させるため、計算ノードのローカルストレージを利用したストレージシステムの研究開発を行った。

これまで研究を続けているキャッシングファイルシステム CHFS/Cache については、POSIX インターフェースに対する対応、相対パスの対応等を進めた。これにより大多数の POSIX インターフェースについてシステムコールのフックが可能となった。既存のアプリケーションでは、カレントディレクトリからの相対パスでファイル等を指定していることが多いため、相対パスの対応は重要であった。また、絶対パスの指定において、これまではキャッシングファイルシステム用のマウントポイント以下でキャッシュしていたが、その場合、アプリケーションで指定するパス名の変更が必要であり、全てのアプリケーションで対応できるわけではなかった。この問題を解決するため、/ (ルート) ディレクトリをキャッシングファイルシステムのマウントポイントとして、キャッシュするディレクトリを指定可能とした。これにより、アプリケーションの変更をすることなくキャッシュしたいディレクトリだけをキャッシュすることが可能となった。これらの設計により大きく利用障壁を下げられたと考えている。CHFS/Cache を全利用者に利用可能とするため、Pegasus に導入し、Pegasus の利用の手引きにおいてその利用方法の追加を行った。

また、MPI-IO に特化したデータ出力の高速化のための研究を行った。書込みをローカルストレージに行ったからといって高速に書き出せるわけではない。高速に書き出すためには書

き出すサイズを大きくする必要がある。連続領域への書き込みであればバッファリングなどで書き込み単位を大きくすることは可能であるが、多次元配列の書き出しなどの場合、メモリ上では連続であっても書き込み先が連続ではないため書き込み単位が小さくなってしまう。そのため、この問題を解決するバーストバッファの設計を行った。メモリ上では連続であることに着目し、メモリ上のレイアウトを持つ MPI ファイルビューでローカルストレージに書き込みを行い、その後元のファイルビューで非同期に並列ファイルシステムに書き込む。アプリケーションはローカルストレージへの書き込みしか待つ必要はないため、アプリケーション上での書き込み性能は向上する。並列ファイルシステムへの書き込みは速くはないが、アプリケーションの実行とオーバーラップするため隠蔽される。

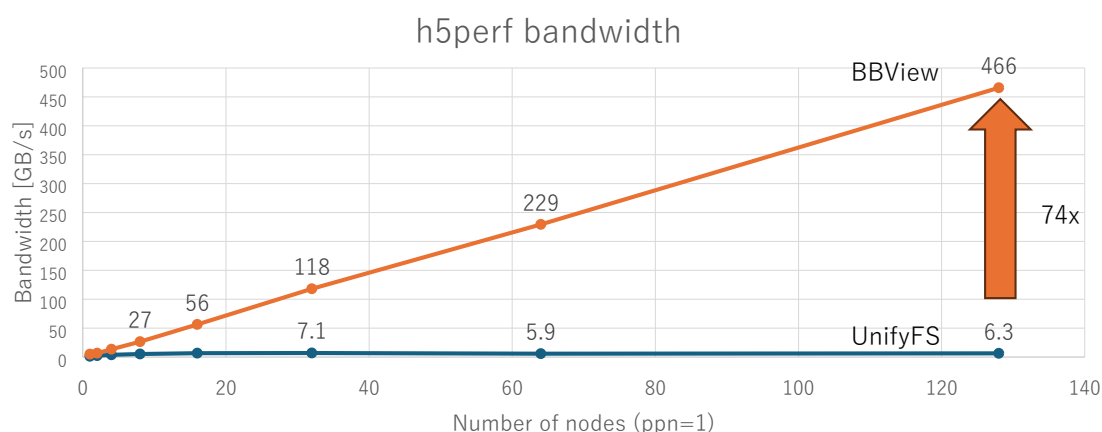


図 1 h5perf によるバンド幅の評価

図 1 に既存の最高性能のシステムである UnifyFS との性能比較を示す。UnifyFS もローカルストレージへ書き込みを行っているが、提案手法である BBView では書き込み単位を大きくしているため、128 ノードでは 74 倍の性能差となっている。なお、BBView は MPI のモジュールで実装されており、アプリケーションの修正は不要である。本成果については国際ワークショップ REX-IO で発表した。今後はこれらの成果についても一般ユーザが利用可能としていくことを考えている。

[2] 広域ストレージシステムの研究（建部）

文部科学省が進める革新的ハイパフォーマンズコンピューティングインフラ（HPCI）の HPCI 共用ストレージ、素粒子物理学データ共有システム JLDG のシステムソフトウェアとしても利用される Gfarm ファイルシステムの研究開発を行った。

これまでファイルの複製を作成するとき、作成元についてはランダムに選択していたため、例えば HPCI 西拠点（神戸）内で複製が作成可能であっても HPCI 東拠点（柏）から西拠点に複製を作成するような状況が起きていた。この挙動はネットワーク資源の無駄であり、また複製作成を遅延させる原因にもなるため、可能であればなるべく近い複製作成元から複製を作成することが望ましい。そのため、そのように複製作成スケジューリングの改善を図った。成果については、Gfarm バージョン 2.8.9 として公開を予定している。

HPCI 共用ストレージではトークンを用いて認証を行っているが、トークンの形式が HPCI 独自のものを想定しており、世界的に利用されている WLCG (Worldwide LHC Computing Grid) のトークンとの相互運用が可能とはなっていない。一方、HPCI においては、これまでも IGTF 準拠の他の証明書を用いた HPCI へのアクセスの要求などがあり、今後 WLCG などのトークンを用いたアクセスの要求が想定される。そのため、相互運用を可能とするためトークンベース認証ライブラリの高度化を実施した。これまで全ての issuer において一つの設定しかできなかったが、issuer 毎に指定可能とした。また特定の issuer, scope のトークンをもつユーザをグループユーザとして認証可能とした。成果については Cyrus SASL XOAuth2 IdP バージョン 1.1.0 として公開を予定している。

Gfarm を HTTP で利用するための Gfarm HTTP Gateway を用いる Web アプリケーションの詳細設計を行い、実装した。本 Web アプリケーションは、PC やスマートフォンの Web ブラウザを用いて、HPCI 共用ストレージをアクセスするためのアプリケーションである。本アプリケーションにより HPCI 共用ストレージへのアクセスのバリアがさらに低いものとなることが期待される。Pegasus のログインノードで試験運用を実施した。

Globus Connect により HPCI 共用ストレージを利用したいという要望があり、その対応を行った。Globus Connect では GridFTP サーバに対し stat レスポンスの部分的な応答、修正時刻の維持の新しい方式などが拡張されており、それら拡張機能を実装した。成果は、Gfarm GridFTP DSI バージョン 1.2.0 として 2026 年 3 月 6 日に公開した。

[3] 地域気象コード City-LES の最新 GPU 環境への実装と評価（朴・藤田）

地球環境研究部門の日下グループとの共同研究に基づき、同グループが開発を継続している都市気象モデルシミュレータ City-LES の GPU を継続して行った。CCS の Pegasus 及び JCAHPC が運用する Miyabi-G の 2 台の GPU システム（どちらも NVIDIA H100 ベースの GPU を搭載）に対し、ドライミスト効果のシミュレーションの GPU 化と性能評価を行った。

ドライミストは都市部等において歩道上に霧状の水蒸気を噴出させ、周辺の記憶を低下させ猛暑等の人体への影響を和らげる装置である。最新の City-LES にドライミスト効果を追加したモデルの CPU 版が日下グループによって開発され、これの並列化と GPU 化を共同で行った。CPU 上でドライミストの計算を行うバージョンの並列化には OpenMP を利用し、ループ伝搬依存性を持たないループや配列式が並列化されている。GPU 化は NVIDIA GPU を対象とし、OpenACC によるディレクティブ及び前後のコード挿入によって実施した。処理の前後の CPU・GPU 間の計算結果の同期は OpenACC の update host ディレクティブおよび、update device ディレクティブを使用して実装した。ドライミスト処理自体の計算量は本体の City-LES に比べ小さいが、本体が基本的に GPU 化されていることから、ドライミスト処理のみを CPUに残すことは、特に CPU・GPU 間のデータ転送が大きなボトルネックとなることから、これを GPU 化する意義は大きい。

Pegasus 及び Miyabi-G はどちらも GPU として H100 を搭載しているが、前者は Intel Xeon CPU をホストとして PCIe によって GPU を接続しているのに対し、後者は NVIDIA GH200 モジュール上に Arm ベースの Grace CPU と H100 を一体型実装しており、内部の NVLINK-C2C 通信機構によって、PCIe gen5 の約 7 倍の通信バンド幅が提供されているため、特に CPU と GPU の間の通信またはメモリ参照において大きな性能差が見られると予想された。

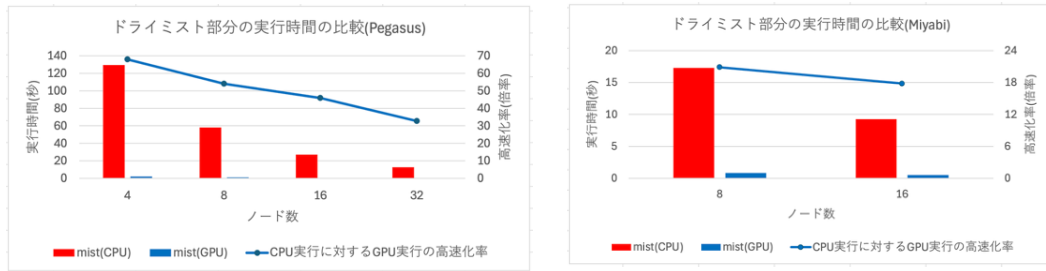


図 2 ドライミスト処理部分のみの CPU 版と GPU 版の性能比較
(左 : Pegasus, 右 : Miyabi-G)

図 2 にドライミスト処理部分のみの CPU 版と GPU 版の性能比較を示す。実験では Pegasus では 4 ノードから 32 ノードまで、Miyabi-G では 8 ノードと 16 ノードまで、ノード数を倍増しながら測定した。問題サイズは $512 \times 512 \times 512$ で 5 メートルグリッドに相当、タイムステップ数は 1000 である。リソースの制約により、Miyabi-G では 2 つのケースのみの実行に留まった。グラフ縦軸の左軸が実行時間、右軸が CPU 実行に対する GPU 実行の速度向上率である。GPU 版の速度は CPU 版に比べ Pegasus で 67.8 倍 (4 ノード)、Miyabi-G で 20.8 倍であった。各システムにおける倍精度浮動小数点演算の CPU と GPU の理論ピーク性能比は Pegasus で 8 倍 (3.2TFLOPS 対 26TFLOPS)、Miyabi-G で 19 倍 (3.45TFLOPS 対 66.9TFLOPS) である。よって、Miyabi-G における CPU 対 GPU の性能比はほぼ理論ピーク性能比に近いが、Pegasus では遥かに大きな差となっている。CPU と GPU のピーク・メモリバンド幅比率はどちらも 7~8 倍程度であるため、Pegasus の Xeon CPU におけるドライミスト処理の効率が悪いことが原因と推察される。詳細については調査中である。

以上のように、ドライミスト処理が GPU によって大幅に向上した。これを City-LES に組み込み、ドライミスト処理を含めて全体を GPU 化した場合と、ドライミスト部分のみ CPU に残した場合の性能を比較した結果、Pegasus では全ケースにおいてほぼ 1.2 倍の性能向上、Miyabi-G ではほぼ 1.05 倍となった。前述のように、GPU 版ドライミスト処理は Pegasus の方が CPU からの性能向上が大きかったことでこの差が生じていると考えられる。

最後に、ドライミスト処理を CPU に残した場合の処理の前後におけるデータ転送時間を測定した。結果を図 3 に示す。ここから明らかなように、Pegasus に比べ Miyabi-G のデータ転送所要時間は約 1/6 に削減されている。これは Pegasus の CPU・GPU 間接続が PCIe gen5 であるのに対し、Miyabi-G の GH200 では NVLINK-C2C によりバンド幅が約 7 倍に向上していることとほぼ一致する。

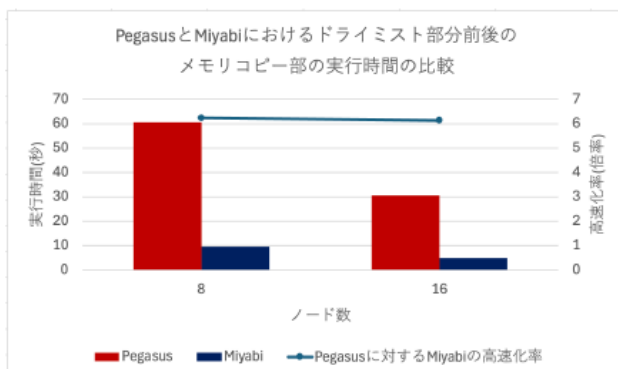


図 3 CPU 版ドライミスト処理の前後に発生
する CPU・GPU 間データ転送所要時間の
Pegasus と Miyabi-G の比較

GH200 には CPU の DDR メモリに対する GPU による直接的な共有メモリ参照が頻繁に行われると、自動的にページ単位で DDR メモリから GPU の HBM メモリに転送する Page Migration 機能が備わっているが、従来型の CPU・GPU 間のデータ転送を明示的に行う場合でも、共有メモリアクセスによる Page Migration の場合でも、NVLINK-C2C の性能が大きく全体性能を向上させることが期待される。

本研究の成果は情報処理学会ハイパフォーマンスコンピューティング研究発表会において報告されている。

[4] ペプチド膜透過シミュレーションの高性能化による創薬研究（朴）

昨年度に引き続き学際ハブ拠点形成事業の一貫として、Ahead BioComputing 社、東京科学大学との共同研究を継続し、2024 年度に本事業において開発した NVIDIA H100 GPU 上の MPS (Multi-Process Service) 機能を用いた GPU 多重利用技術を実践的に用い、Pegasus 上での創薬シミュレーションを行った。

本年度はシミュレーションを継続的に行い、ペプチド膜透過効果によるデータの積み上げを充実させ、創薬分野における HPC 研究者と生命科学研究者の協業が重要であることを示した。研究について生命科学系ワークショップ及びシンポジウムにおいて招待講演として発表した。

[5] GPU クラスタにおける並列数論変換の自動チューニング（高橋）

数論変換（number-theoretic transform, 以下 NTT）は、離散 Fourier 変換を有限体に一般化したものであり、準同型暗号、多項式乗算、多倍長精度乗算などに広く用いられている。GPU クラスタにおいてチューニングを行う際に、最適な性能パラメータは GPU のアーキテクチャ、ノード間を結合するネットワーク、そして問題サイズなどに依存するため、これらのパラメータをその都度手動でチューニングすることは困難になりつつある。本研究では、GPU クラスタにおいて自動チューニングを並列 NTT に適用し性能評価を行った。

n 点 NTT は $\mathbf{F}_p = \mathbf{Z}/p\mathbf{Z}$ (p は素数) において以下のように表すことができる。

$$y(k) = \sum_{j=0}^{n-1} x(j) \omega_n^{jk \bmod p}, \quad 0 \leq k \leq n-1$$

ここで、 ω_n は 1 の原始 n 乗根である。この式は高速 Fourier 変換（fast Fourier transform, 以下 FFT）と同様のアルゴリズムを適用することで、演算回数を $O(n \log n)$ に削減することができる。

GPU クラスタにおける並列 NTT の実装が提案されている。この実装は four-step NTT アルゴリズムに基づいており、MPI と OpenACC を用いて four-step NTT の並列化を行っている。並列 NTT を行う際には、全対全通信が 3 回行われることから、計算時間の大部分が全対全通信によって占められることになる。

GPU クラスタにおいて並列 NTT をチューニングする際には、全体に関わる性能パラメータとして主に以下の 3 つが存在する。

- (1) 全対全通信方式
- (2) 通信メッセージサイズの分割数
- (3) 基底

(1)では2段階全対全通信アルゴリズムにおいて、MPI プロセスグリッドの最適な形状を探索する。(2)では演算と通信をオーバーラップする際に、通信メッセージサイズの最適な分割数 $NDIV$ を探索する。NTT のデータサイズが $N=N_1N_2$ と分解できる場合、 P 個の MPI プロセスを持つ GPU クラスタにおける four-step NTT では、 N_1 と N_2 の値は $N=N_1N_2$ および $N_1, N_2 \geq P$ を満たしていればよい。そこで、(3)では最適な N_1 と N_2 の値について探索を行う。上記の性能パラメータのうち、(2)と(3)について自動チューニングを適用した。

性能評価にあたっては、four-step NTT の GPU 実装と、自動チューニング手法を four-step NTT の GPU 実装に適用したものの性能比較を行った。測定に際しては、順方向 NTT を連続 10 回実行し、その平均の経過時間を測定した。GPU クラスタとして、筑波大学計算科学研究センターに設置されている Pegasus (150 ノード) のうち 16 ノードを用いた。コンパイラは NVIDIA HPC Compilers 24.5 を用い、コンパイルオプションは `-fast -acc=gpu -gpu=cc90,pinned` を指定した。MPI ライブラリは OpenMPI 4.1.8 を用いた。各ノードあたりの MPI プロセス数は 1 に設定した。 N 点 NTT の Giga-operations per second (Gops) 値は $(3/2)N \log_2 N$ より算出している。

並列 NTT の性能を図 4 に示す。図 4 から、並列 NTT に自動チューニングを適用した場合 (four-step NTT with AT) が最も性能が高いことが分かる。自動チューニングの結果、演算と通信をオーバーラップしない場合の方が演算と通信をオーバーラップする場合よりも性能が高くなっているため、自動チューニングによる性能向上は最適な基底を選択したことにより得られている。また、演算と通信をオーバーラップする場合 (four-step NTT with overlap, $NDIV=4$) では通信メッセージサイズが常に 4 分割されており全対全通信性能が低くなっていることから、演算と通信をオーバーラップしない場合 (four-step NTT without overlap) よりも性能が低くなっていることが分かる。

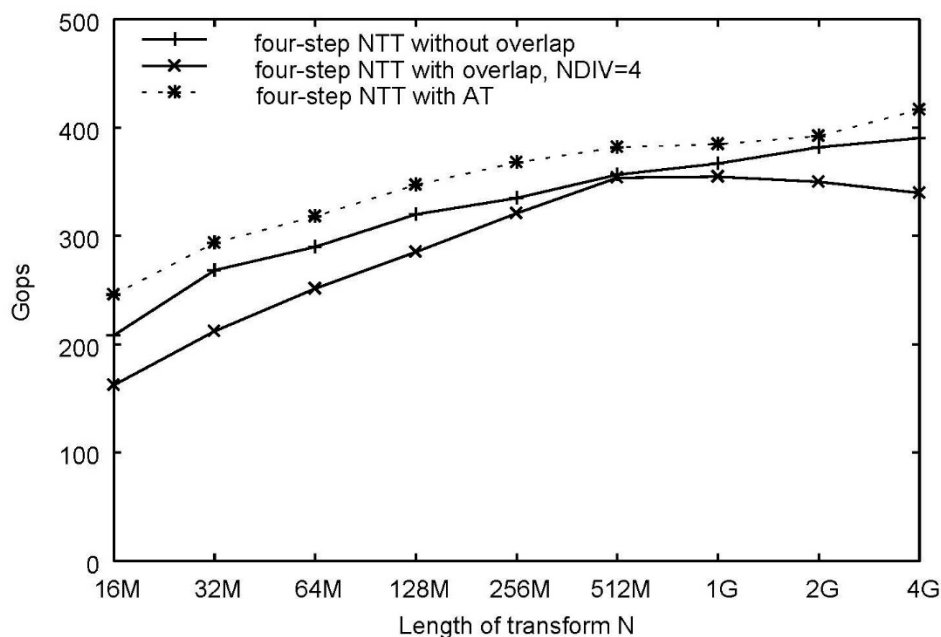


図 4 並列 NTT の性能 (Pegasus, 16 ノード)

[6] Intel AVX-512 命令を用いた複数のモジュラ逆数計算の高速化（高橋）

モジュラ逆数は、計算数論や暗号などの分野で広く用いられている。モジュラ逆数は拡張 Euclid の互除法を用いて計算できるが、法が 2 のべき乗の場合は Newton 法が効率的であることが知られている。 w を整数演算命令のビット幅とした場合、 2^w を法とする複数のモジュラ逆数計算を考える。このような計算は、複数の法に対する Montgomery 乗算や、複数の除数に対する exact division を計算するときに現れる。Intel Advanced Vector Extensions 512 (Intel AVX-512) は 512 ビットのベクトル命令セットである。本研究では、Intel AVX-512 命令を用いて 2^w を法とする複数のモジュラ逆数計算を高速化し、性能評価を行った。

法 $N > 1$ に関する整数 a のモジュラ逆数とは、 $ax \equiv 1 \pmod{N}$ となるような整数 x である。 a の N を法とする逆数が存在するための必要十分条件は、 a と N が互いに素（すなわち、最大公約数 $\gcd(a, N)$ が 1）となることである。

モジュラ逆数 $a^{-1} \bmod 2^{64}$ に対する Newton 法を図 5 の Algorithm 1 に示す。ここで、 $(3a) \oplus 2$ は modulo 2^5 (5 ビット) の正確なモジュラ逆数であり、 $\oplus$ は排他的論理和演算を表す。Newton 法は 2 次収束するので、 $a^{-1} \bmod 2^{64}$ を得るには 4 回の反復で十分である。

Algorithm 1 モジュラ逆数 $a^{-1} \bmod 2^{64}$ に対する Newton 法**Input:** a such that $0 < a < 2^{64}$, $2 \nmid a$ **Output:** $x = a^{-1} \bmod 2^{64}$

- 1: $x \leftarrow \{(3a) \oplus 2\} \bmod 2^{64}$
- 2: **for** i **from** 1 **to** 4 **do**
- 3: $x \leftarrow x(2 - ax) \bmod 2^{64}$
- 4: **return** x .

図 5 モジュラ逆数 $a^{-1} \bmod 2^{64}$ に対する Newton 法**Algorithm 2** モジュラ逆数 $a^{-1} \bmod 2^{52}$ に対する 2 次収束の Newton 法と 3 次収束の Newton 法の変形を組み合わせた提案手法**Input:** a such that $0 < a < 2^{52}$, $2 \nmid a$ **Output:** $x = a^{-1} \bmod 2^{52}$

- 1: $x \leftarrow a$
- 2: **for** i **from** 1 **to** 2 **do**
- 3: $t \leftarrow (1 - ax) \bmod 2^{52}$
- 4: $x \leftarrow \{x + x(t + t^2)\} \bmod 2^{52}$
- 5: $x \leftarrow x(2 - ax) \bmod 2^{52}$
- 6: **return** x .

図 6 モジュラ逆数 $a^{-1} \bmod 2^{52}$ に対する 2 次収束の Newton 法と 3 次収束の Newton 法の変形を組み合わせた提案手法

モジュラ逆数 $a^{-1} \bmod 2^{52}$ に対する 2 次収束の Newton 法と 3 次収束の Newton 法の変形を組み合わせた提案手法を図 6 の Algorithm 2 に示す。ここで、 a はmodulo 2^3 (3 ビット) の正確なモジュラ逆数である。 $a^{-1} \bmod 2^{52}$ を得るには 3 次収束の Newton 法の変形を 2 回、2 次収束の Newton 法を 1 回用いれば十分である。Intel AVX-512IFMA (Integer Fused Multiply-Add) 命令を用いて、Algorithm 2 の 52 ビット実装を行った。

性能評価にあたっては、複数のモジュラ逆数計算に対して、Intel 64 命令を用いた Algorithm 1 の 64 ビット実装、Intel AVX-512 命令を用いた Algorithm 1 の 64 ビット実装および Algorithm 2 の 52 ビット実装の性能の比較を行った。モジュラ逆数計算のバッチサイズを 512 から 4096 に変化させた。入力する整数 a は、64 ビット実装では1から $2^{64} - 1$ の範囲の奇数の乱数であり、52 ビット実装では1から $2^{52} - 1$ の範囲の奇数の乱数である。各バッチサイズのモジュラ逆数計算を 100 万回実行し、その平均の経過時間から 1 秒あたりのモジュラ逆数計算回数 ($\text{Invmod} \times 10^9/\text{s}$) を算出した。

評価環境として、Intel Xeon Platinum 8468 プロセッサの 1 コア、1 スレッドを用いた。コンパイラは Intel oneAPI DPC++/C++ Compiler 2024.0.2 を用い、コンパイルオプションは `icx -O3 -xSAPPHIRERAPIDS -qopenmp-simd -qopt-zmm-usage=high` を用いた。

Intel 64 命令および Intel AVX-512 命令を用いた複数のモジュラ逆数計算の性能を表 1 に示す。表 1 からバッチサイズが 512 の場合、Intel AVX-512 命令を用いた提案する 52 ビット実装は、Intel Xeon Platinum 8468 プロセッサにおいて Intel 64 命令および Intel AVX-512 命令を用いた 64 ビット実装と比較して、それぞれ約 11.91 倍および約 1.92 倍高速であることが分かる。

表 1 複数のモジュラ逆数計算の性能 ($\text{Invmod} \times 10^9/\text{s}$)

Batch size	Intel 64	Intel AVX-512	
	Algorithm 1 (64-bit)	Algorithm 1 (64-bit)	Algorithm 2 (52-bit)
512	0.38605	2.40270	4.60871
1024	0.38681	2.40460	4.60600
2048	0.38712	2.40560	4.62205
4096	0.38731	2.40201	3.95695

[7] ブラックホール降着円盤シミュレーションの OpenACC による GPU 化 (額田)

宇宙物理研究部門で開発を進めているブラックホール降着円盤シミュレーションコード INAZUMA について、より現実的な時間で多数のシミュレーションを行い様々な知見を得るため GPU の利用による高速化が不可欠である。開発が続くコードであるため可読性を重視し、ディレクティブの挿入により GPU 化を行う OpenACC を採用する。

GPU 化の目的は高速化であり、その障害となる範囲ではコードの修正を許容するものとする。INAZUMA は 3 次元極座標問題で、頻出する 3 重ループは並列実行可能であり、OpenACC のディレクティブ `!$acc parallel loop collapse(3)` を付ければ GPU を利用して実行されるコードが容易に生成できる。メインループに入る際に必要な配列データを全てデバイスメモリに送ることで CPU と GPU 間のデータ転送も最小限となる。

実際にはこれでは性能が極めて低かった。CPU より何倍も遅い。幾つかのカーネルの実行時間が突出して長くなっていることが分かり、それらでは GPU の local memory へのアクセスが多数発生していた。長い一連の処理を行う大きなカーネルではレジスタ使用数が多くなり、不足すればメモリアクセスとなるため対策が必要である。コンパイル時にどの変数を local memory に割り当てたかが表示される。その情報からスレッドで private 指定している配列変数が溢れやすいと考え、それを複数のスカラ変数に分解することとした。またカーネル内で呼ばれるサブルーチンについてはインライン展開する。真にインデックス参照が必要な場合には条件文を用いて対応する。この分解によって、Fortran 標準関数の MATMUL や DOTPRODUCT なども展開する必要がある。そこで OpenACC の private 節に指定された配列変数を展開するようなコンバータプログラムを作成し、コードの管理しやすさは現状のままとした。詳細に評価を行った結果、MATMUL や DOTPRODUCT の展開により大きな性能改善が見られ、さらにレジスタ使用数が多いカーネルでは変数のスカラ化によりさらに改善が見られた。Local memory へのアクセスは性能への影響が大きく、これらの最適化によりカーネルの実行時間は最高で 1000 分の 1 程度まで短縮されている。

[8] 量子 HPC 連携環境構築（辻）

近年、急速な発展を遂げている量子コンピュータは、これまでのコンピュータとは異なる原理で動作することから、従来の計算機では解くことが困難であった問題の解決が期待されている。特に、量子コンピュータ単体ではなくスーパーコンピュータと連携して利用する量子 HPC 連携計算は、両者の特長を活かすことで新たな計算能力を実現する有望な技術として注目されている。

本研究では、量子 HPC 連携計算のための実行環境構築を目的として、スーパーコンピュータ内部に量子 HPC 環境を整備した。量子コンピュータは依然として希少かつ高価な計算資源であり、必要な時に常に利用できるとは限らない。このため、量子コンピュータシミュレータと HPC 計算専用ノードを用いたノード間通信試験環境を構築し、量子 HPC システムにおいて発生する通信処理を模擬できるようにした。構築した環境では、JWT による利用者認証機能および RPC を用いた量子回路オフロード機能を実装し、実際の量子 HPC システムに近い形での動作検証を可能とした。また、スーパーコンピュータ上で完結するアプリケーション開発環境を整備するとともに、最新の量子アプリケーションベンチマークを用いて環境の有効性を検証した。

さらに、筑波大学が運用するスーパーコンピュータ Miyabi, Pegasus および Sirius と量子コンピュータとの統合を目標として環境整備を進めた。Miyabi-G の計算ノード上に RPC ソフトウェアスタックを導入し、外部（理研）に設置されている量子コンピュータとの連携を想定した API の動作検証を実施した。今後は、G-QuAT に設置される量子コンピュータとの接続を実現し、実機を用いた量子 HPC 連携計算環境の構築および評価を進める予定である。

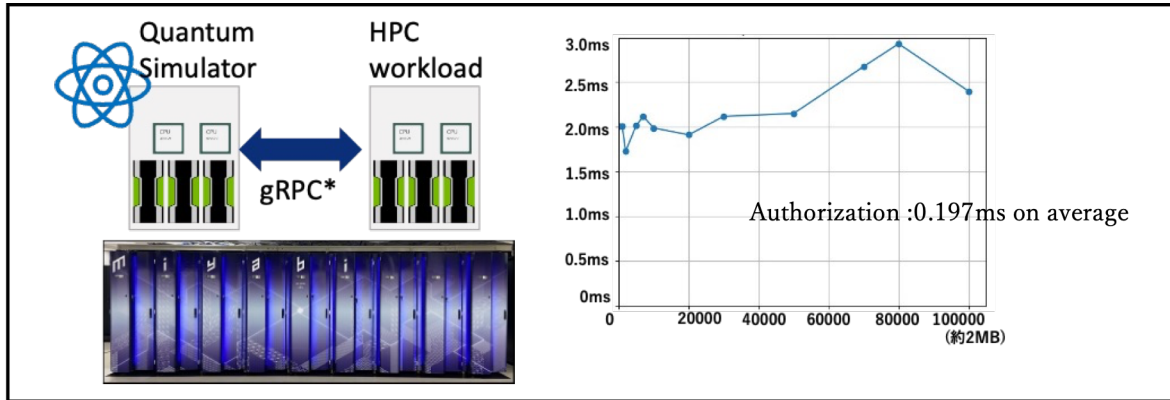


図 7 量子 HPC 連携環境のイメージと認証時間の評価

[9] 鞍点型連立一次方程式に対する反復改良付き階層並列型数値解法の高性能化に関する研究（多田野）

鞍点型と呼ばれる連立一次方程式は、偏微分方程式に対するメッシュレス離散化法、構造解析、非圧縮流体解析などにおいて現れ、高速・高精度求解手法が必要とされている。同方程式は 2 行 2 列のブロック係数行列をもち、以下のように表される。

$$\begin{bmatrix} A & B \\ C^T & O \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} = \begin{bmatrix} f \\ g \end{bmatrix}.$$

ここで、 $A \in \mathbb{R}^{n \times n}$ は正則行列、 $B, C \in \mathbb{R}^{n \times m}$ ($n \geq m$) は列フルランク行列、 $O \in \mathbb{R}^{m \times m}$ は零行列であり、 $x \in \mathbb{R}^n$ 、 $y \in \mathbb{R}^m$ は未知ベクトル、 $f \in \mathbb{R}^n$ 、 $g \in \mathbb{R}^m$ は既知ベクトルである。行列 B, C の列数 m が増加すると係数行列が悪条件となり、鞍点型連立一次方程式に対するクリロフ部分空間反復法の収束性が悪化し、求解が困難となる。この求解困難さを低減するために、同方程式を直接解くのではなく、同方程式のブロック構造を利用することで変形を行い、計算の主要部を係数行列 A 、及び複数次右辺ベクトルをもつ連立一次方程式の求解部分に帰着させる手法を提案した。これにより、行列 B, C は解くべき連立一次方程式の係数行列に影響を及ぼさなくなるため、鞍点型連立一次方程式の係数行列と比較して良条件になることが多い。また、複数次右辺連立一次方程式の右辺ベクトル間には互いに依存関係がないため列方向に分割ができ、これにより同方程式は少数の右辺ベクトルをもつ複数の連立一次方程式に分割できる。分割された連立一次方程式は同時求解が可能であり、各方程式も並列求解できることから、本手法は階層型の並列性を有する。複数次右辺連立一次方程式の解行列を用いて鞍点型連立一次方程式の解ベクトルを計算するが、その精度が十分でないことがある。これまでの研究において、我々は階層並列型数値解法に対して反復改良法を適用して精度改善を試みた。令和 7 年度は反復改良付き階層並列型数値解法の更なる高性能化に関する研究を行った。

図 8 に、鞍点型連立一次方程式に対する反復改良付き階層並列型数値解法のアルゴリズムを示す。本手法の計算の主要部は、複数次右辺ベクトルをもつ連立一次方程式 $A\hat{X} = \hat{B}$ の求解である。右辺行列 $\hat{B}$ を列方向に分割することで、 P 個の連立一次方程式：

$$A\hat{X}^{(j)} = \hat{B}^{(j)} \quad (j = 1, 2, \dots, P) \quad (1)$$

に分割し、これらを解くことにより解行列 $\hat{X} = [\hat{X}^{(1)}, \hat{X}^{(2)}, \dots, \hat{X}^{(P)}]$ を求める。これを用いて、鞍点型連立一次方程式の近似解 $\mathbf{x}_0, \mathbf{y}_0$ を計算する。その後、得られた $\mathbf{x}_0, \mathbf{y}_0$ を初期解として反復改良法を実行し、近似解精度を改善する。反復改良法の計算プロセスでは、初期解計算時に求めた行列 U, S を再利用することで必要計算量を低減でき、主要な計算は連立一次方程式 $A\mathbf{v}_k = \mathbf{r}_k$ の求解部分となる。

Input: $A \in \mathbb{R}^{n \times n}, B, C \in \mathbb{R}^{n \times m}, f \in \mathbb{R}^n, g \in \mathbb{R}^m$
Output: $\mathbf{x}_{k+1} \in \mathbb{R}^n, \mathbf{y}_{k+1} \in \mathbb{R}^m$

1. Set $\hat{B} = [B \ f] \in \mathbb{R}^{n \times (m+1)}$
2. Solve $A\hat{X} = \hat{B}$ for $\hat{X}$, where $\hat{X} = [\hat{x}^{(1)}, \hat{x}^{(2)}, \dots, \hat{x}^{(m)}, \hat{x}^{(m+1)}]$
3. Set $U = [\hat{x}^{(1)}, \hat{x}^{(2)}, \dots, \hat{x}^{(m)}], v = \hat{x}^{(m+1)}$
4. Compute $S = C^T U$ and $t = C^T v - g$
5. Solve $S y_0 = t$ for y_0
6. Compute $x_0 = v - U y_0$
7. Compute $\begin{bmatrix} r_0 \\ q_0 \end{bmatrix} = \begin{bmatrix} f - A x_0 - B y_0 \\ g - C^T x_0 \end{bmatrix}$
- For $k = 0, 1, \dots$ until convergence, do:
 8. Solve $A v_k = r_k$ for v_k
 9. Compute $t_k = C^T v_k - q_k$
 10. Solve $S \Delta y_k = t_k$ for Δy_k
 11. Compute $\Delta x_k = v_k - U \Delta y_k$
 12. Compute $\begin{bmatrix} x_{k+1} \\ y_{k+1} \end{bmatrix} = \begin{bmatrix} x_k + \Delta x_k \\ y_k + \Delta y_k \end{bmatrix}$
 13. Compute $\begin{bmatrix} r_{k+1} \\ q_{k+1} \end{bmatrix} = \begin{bmatrix} r_k - A \Delta x_k - B \Delta y_k \\ q_k - C^T \Delta x_k \end{bmatrix}$

End For

図 8 鞍点型連立一次方程式に対する反復改良付き階層並列型数値解法のアルゴリズム

これまでの研究では、鞍点型連立一次方程式の近似解を高精度に求めるために、複数右辺連立一次方程式の反復法による求解プロセスにおいて、厳しい収束判定条件を課していた。しかしながら、これは計算時間の増大に繋がる。本研究では、複数右辺連立一次方程式の求解プロセスにおける収束判定条件を緩く設定することで高速化を行い、近似解精度については反復改良法を適用することで精度改善を図った。具体的な収束判定条件としては、連立一次方程式 (1) の相対残差が ε 以下になった場合とし、 ε を大きく設定することで収束判定条件の緩和を図った。また、反復改良法部分の GPU 化も実施した。比較的計算量が多い連立一次方程式 $A\mathbf{v}_k = \mathbf{r}_k$ 、及び $S\Delta\mathbf{y}_k = \mathbf{t}_k$ の求解部分の計算を GPU で行い、それ以外の部分については CPU で計算を行った。反復改良法以前の計算部分については、過去の研究で GPU 化済みである。

数値実験により、反復改良付き階層並列型数値解法の性能評価を行う。行列 A として、SuiteSparse Matrix Collection で公開されている行列 torso3 (サイズ n : 259,156, 非零要素数: 4,429,042), 及び atmosmodl (サイズ n : 1,489,752, 非零要素数: 10,319,760) を用いた。行列 B, C の要素は乱数で与え、列数 m は torso3 では $m = 50, 100, \dots, 5000$, atmosmodl では $m = 50, 100, \dots, 2000$ に設定した。連立一次方程式 (1) と $A\mathbf{v}_k = \mathbf{r}_k$ の解法として Block GWBiCGSTABrQ-VG 法を用い、前処理法として近似逆行列前処理を適用した。連立一次方程式 (1) に対する収束判定条件は、相対残差が $\varepsilon = 10^{-15}, 10^{-12}, 10^{-9}, 10^{-6}$ 以下になった場合とし、 $A\mathbf{v}_k = \mathbf{r}_k$ に対する収束判定条件は相対残差が 10^{-15} 以下になった場合とした。実験環境と

して、筑波大学計算科学センターのスーパーコンピュータ Pegasus の 4 ノードを用い、1 ノードあたりの MPI プロセス数は 1、1 プロセスあたりの OpenMP スレッド数は 48 とした。

図 9、図 10 に行列 B, C の列数 m の変化に対する鞍点型連立一次方程式の求解時間の変化を示す。同図に示すように、2 つのテスト行列において、GPU を用いることで CPU 版よりも求解時間の高速化ができていることがわかる。行列 torso3 においては、収束判定定数 ε を大きくとることにより、計算時間が短くなる傾向を示した。一方で、行列 atmosmodl においては、 ε を大きくしても計算時間が短くなる傾向は見られず、 $\varepsilon = 10^{-6}$ の場合は逆に計算時間が増えてしまうケースも確認された。これは、反復改良法の反復回数が ε を小さく設定した場合よりも増加していることが原因である。テスト行列の違いによって異なる振る舞いを示す原因については今後解析を行っていく。

図 11 に、行列 B, C の列数 m の変化に対する鞍点型連立一次方程式の相対誤差の変化を示す。行列 torso3 においては、反復改良法を適用することにより、適用しなかった場合よりも高精度の近似解が得られていることがわかる。また、4 種類の ε のいずれにおいても同程度の精度の近似解が得られた。一方、行列 atmosmodl においては、反復改良法を適用しても近似解精度の改善はみられなかった。今後はこの原因を探るとともに、反復改良法の一部の計算においてより高精度な演算を適用することで、近似解精度の改善を図っていく。

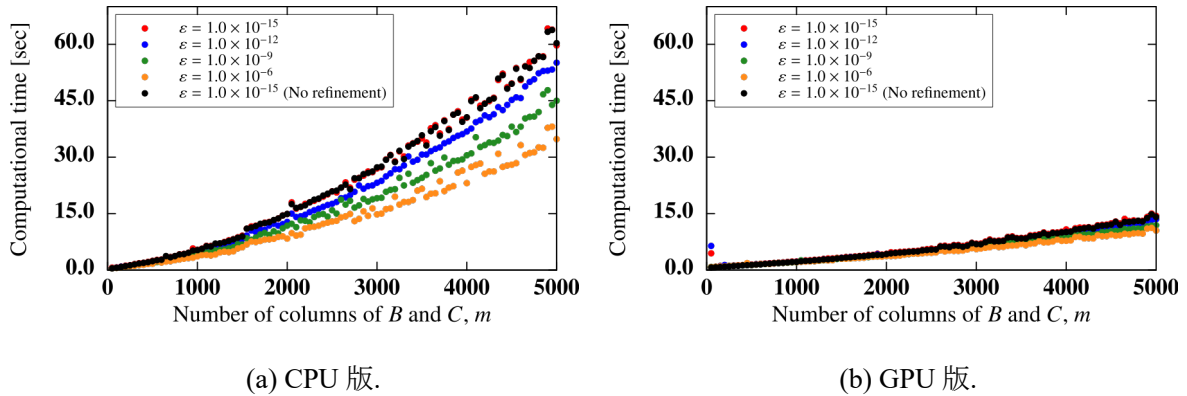


図 9 行列 B, C の列数 m の変化に対する求解時間の変化 (行列: torso3)

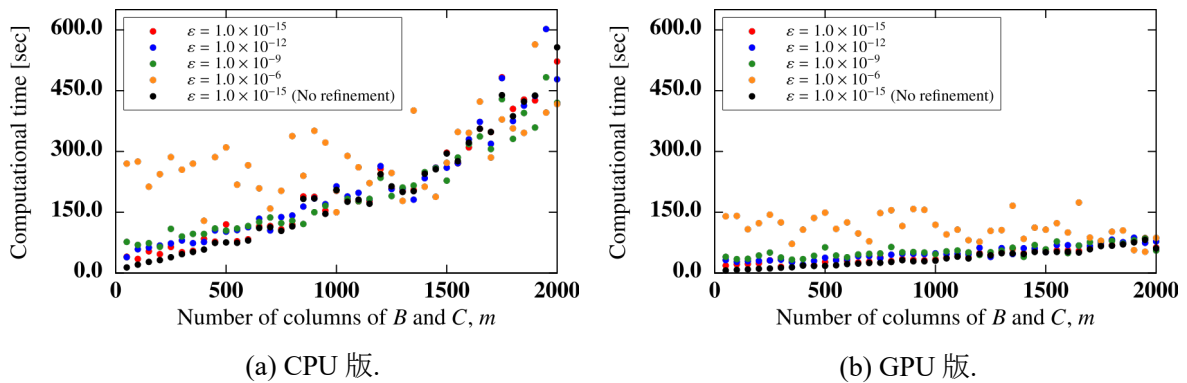
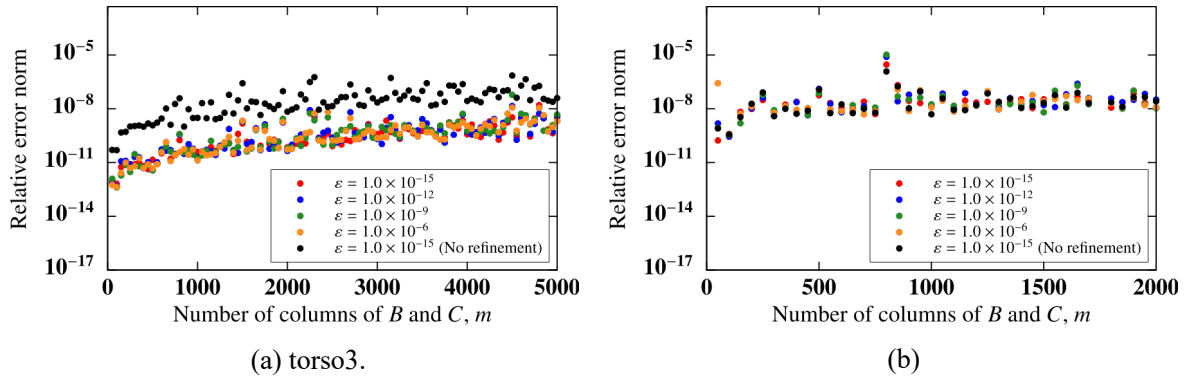


図 10 行列 B, C の列数 m の変化に対する求解時間の変化 (行列: atmosmodl)

図 11 行列 B, C の列数 m の変化に対する相対誤差の変化

[10] Intel Optane Persistent メモリを用いた大規模シミュレーションの実現

(藤田・建部)

スーパーコンピュータの演算性能の向上に対して、メモリ容量の向上が見合っていないという問題がある。ここ 10 年で演算性能は約 50 倍向上しているが、メモリ容量は最大で約 7 倍にしか増えていない。HPC アプリケーションではメモリ帯域がボトルネックになりやすいため、これまでメモリ帯域を増やす方向性で設計が行われてきた。しかしながら、メモリ容量がボトルネックとなり規模が制限される計算も存在している。本研究では、Pegasus に搭載されている Intel Optane Persistent Memory をビッグメモリとして計算に用いることで大規模計算が実現できることを示す。なお、本研究は宇宙物理研究部門との共同研究として実施したものである。

本研究では、Vlasov シミュレーションに Optane メモリを適用する。Vlasov シミュレーションは、銀河や宇宙大規模構造中のダークマターのような無衝突系の分布関数を数値的に解くシミュレーション手法であり、6 次元位相空間をメモリに展開するため膨大な容量が要求される (128TB が一つのターゲット)。また、Optane メモリを使う手法として、ローレベルな API を使う方法と、Linux カーネルに任せる方法 (Memory Tiering) を比較した。

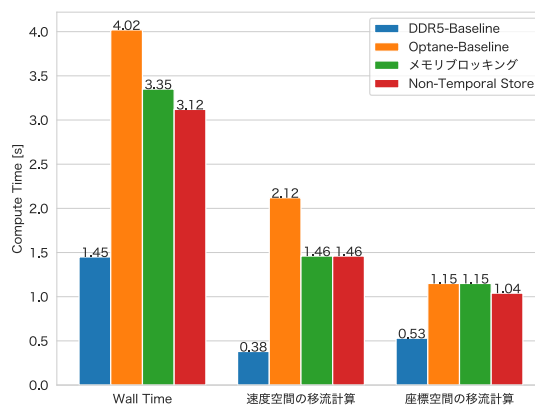


図 12 ローレベル API 利用時の性能評価と DDR5 利用との比較

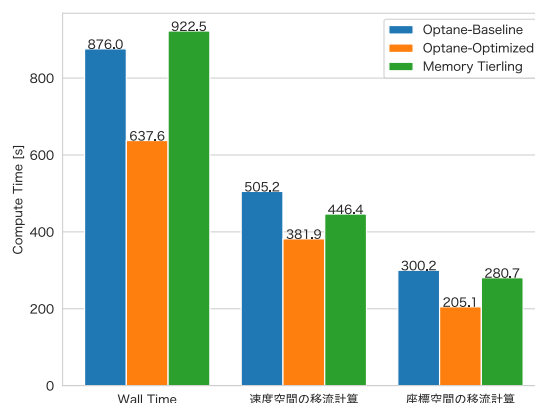


図 13 Linux Memory Tiering 利用時の性能評価

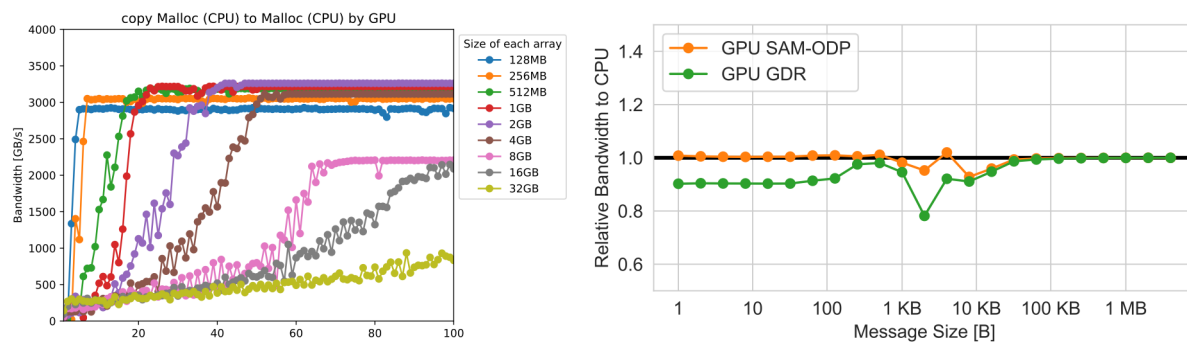
図 12 と図 13 に性能評価の結果を示す。Optane メモリを利用することで計算規模あたり 2.2 倍の計算時間が必要になるかわりに、ノードあたり約 8 倍の問題規模の計算を実現した。また、Optane メモリ向けの最適化が性能に大きな影響 (+29%~+39%) を与える事を示した。そして、Linux Memory Tiering を用いると、アプリケーションの変更なしに Optane Memory を利用できることを示した。性能は Optane メモリの利用率に依存するが、最適化されていない Optane メモリを直接利用する実装と同程度の性能が得られる。

今後の課題としては、Optane メモリは End-of-Life となっており、今後の新製品が見込めないため、他の大容量メモリを実現する技術の利活用検討と、Vlasov 以外のアプリケーションへの適用がある。

[11] CPU-GPU ユニファイド共有メモリアーキテクチャに関する研究（藤田・辻・朴）

計算科学研究センターでは、ユニファイドメモリ型スーパーコンピュータの導入を進めており、NVIDIA GH200 搭載システム「Miyabi」（JCAHPC として東京大学と共同運用）、AMD MI300A 搭載システム「Sirius (PACS 12.0)」を運用している。従来アーキテクチャでは、CPU と GPU (のメモリ) が分かれているため、GPU プログラミングが複雑という問題があり、CPU-GPU 間のデータ移動を明示的に記述する必要がある。我々は、ユニファイドメモリ型のシステムを用いることでデータ移動に関するプログラミングを簡略化できると考えている。

GH200 と MI300A は、どちらもユニファイドメモリ型のアーキテクチャを有するが、その実装は全く異なるため、本研究では両者を対象として性能評価や比較を行う。GH200 は Grace CPU と Hopper GPU が一体モジュールとなった製品であるが、CPU と GPU は異なるチップであり、それらを高性能通信バス NVLink-C2C で結合している。アドレス空間は CPU-GPU 間で共有されているが、メモリは分かれている。MI300A は Zen4 CPU, CDNA3 GPU, HBM3 を 1 つのパッケージに統合した製品で、アドレス空間だけでなく物理メモリも CPU-GPU 間で共有している。



左: SAMアクセス性能

右: InfiniBand通信性能. CPU間通信を1として正規化. GPU SAM-ODPがSAMを用いたもので, GPU GDRが従来手法を用いたもの.

図 14 GH200 における SAM アクセスおよびネットワーク性能評価

GH200 では System Allocated Memory (SAM) と呼ばれる種類の CPU-GPU 共有メモリがある。GH200 は CPU と GPU でメモリが分かれているため、共有メモリを利用する上で、どちらのメモリにデータを配置するべきかを決めることが難しいという課題がある。SAM を利用している場合、システムがメモリアクセスに応じて CPU→GPU のデータ移動を自動で行う（逆方向は性能面でメリットがないため自動移動されない）図 14（左）に SAM アクセス性能の評価結果を示す。この性能は CPU に確保したメモリに対して、GPU からアクセスし、SAM データ移動を発生させたときのものである。自動移動後のメモリアクセス性能は転送領域のサイズに依存しており、大きいほど移動後の性能が遅いことが判明した。詳細な性能解析はまだ完了していないが、GPU 側の TLB Miss が性能に影響を与えていると考えられ、HugePage を用いた検証を今後行う予定である。図 14（右）に InfiniBand を用いた通信性能の比較結果を示す。SAM を用いることで、CPU メモリと遜色ない通信性能が得られることがわかった。また、従来手法（GDR）を用いた方式よりも、小さいメッセージ長の領域で高速であることがわかり、SAM 利用が通信性能に良い影響を与えることが判明した。

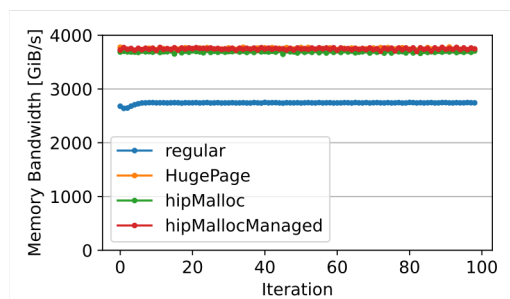


図 15 MI300A における共有メモリアクセス性能 (from GPU)

MI300A では、メモリが CPU と GPU で論理的にも物理的にも共有されているため、GH200 のようなデータ配置をどこにするかという問題は発生しない。しかしながら、メモリの確保方法によって性能が異なることが考えられるため、性能比較を行った。図 15 に評価結果を示す。HugePage, hipMalloc, hipMallocManaged に大きな性能差はないことが明らかとなった。hipMalloc が GPU にとってネイティブな確保方法であり、HugePage と hipMallocManaged がそれと同等の性能ということはオーバーヘッドがないと考えられる。ただし、Regular は性能低

下が明らかであり，HugePage の利用もしくは HIP API の利用が重要であるといえる。MI300A における通信性能はまだ測定ができておらず，今後の課題である。

Linux カーネルには Transparent Huge Page (THP) という機能があり，THP を通して HugePage を利用できる。THP は大きいメモリ領域を確保する際に，自動で HugePage を割り当てる機能である。本実験では THP を通して HugePage を利用している。しかしながら，THP はベストエフォートな機能であり，HugePage の利用が絶対ではなく，性能予測が難しいという課題がある。並列計算においては最も遅い計算機に計算全体が律速される。そのため，確率的に性能が劣化する THP は HPC 計算と相性が悪い。したがって，今後の課題として，HPC システムにおける HugePage 利用方法の検討を行う必要がある。

4. 教育

1. 中谷 裕一，博士（工学），均一負荷分散ハッシングに基づく性能レジリエントなノードローカルバーストバッファに関する研究，筑波大学大学院理工情報生命学術院システム情報工学研究群博士論文，令和 8 年 3 月（指導：建部 修見）
2. 杉崎 行優，博士（工学），Fast computation of the number of magic series on processors with SIMD or matrix multiplication unit（SIMD または行列乗算ユニットを備えたプロセッサにおける魔法列の数の高速な計算），筑波大学大学院理工情報生命学術院システム情報工学研究群博士論文，令和 8 年 3 月（指導：高橋 大介）
3. 中野 将生，修士（工学），大規模高速ストレージアーキテクチャの実現に向けた非同期 RPC 基盤の設計，筑波大学大学院理工情報生命学術院システム情報工学研究群修士論文，令和 8 年 3 月（指導：建部 修見）
4. 川上 昌汰，修士（工学），より低精度な FFT を用いた高精度な FFT の計算手法に関する研究，筑波大学大学院理工情報生命学術院システム情報工学研究群修士論文，令和 8 年 3 月（指導：高橋 大介）
5. CHOI YEON KYU，修士（工学），シミュレーションにおける中間変数の利用による超解像の精度向上，筑波大学大学院理工情報生命学術院システム情報工学研究群修士論文，令和 8 年 3 月（指導：額田 彰）
6. 小木 勇輝，学士（情報工学），不揮発性メモリにおける大規模言語モデル KV キャッシュの性能評価，筑波大学情報学群情報科学類卒業論文，令和 8 年 3 月（指導：建部 修見）
7. 宇佐美 健太，学士（情報科学），スーパーコンピュータ上における量子 HPC 連携環境シミュレーション基盤の構築と通信性能評価，筑波大学情報学群情報科学類卒業論文，令和 8 年 3 月（指導：朴 泰祐，藤田 典久，辻 美和子）
8. 阿部 雄大，学士（情報工学），Group-wise 更新による Block BiCGGR 法の近似解精度改善手法の構築，筑波大学情報学群情報科学類卒業論文，令和 7 年 9 月（指導：多田野 寛人）

集中講義

1. 情報科学・コンピュータサイエンスのための量子分野勉強会

2. 筑波大学理工情報生命学術院共通専門基盤科目「計算科学のための高性能並列計算技術」, 2025 年 9 月 16 日～17 日

5. 受賞, 外部資金, 知的財産権等

外部資金

1. 科学研究費補助金基盤研究 (A), 建部修見 (代表), R4～R8 年度, 5,200 千円, 「次世代ストレージアーキテクチャの研究」
2. NEDO, 建部修見 (分担), R5～R9 年度, 33,605 千円, 「超分散コンピューティング基盤の研究開発」
3. 特別共同研究, 建部修見 (代表), R4～R10 年度, 25,400 千円, 「スケーラブルなデータストア及び高速データ処理に関する共同研究事業」
4. 文部科学省委託, 建部修見 (分担), R7 年度, 29,700 千円, 「HPCI の運営 (HPCI 共用ストレージ用大規模分散ファイルシステムの機能整備など)」
5. 科学研究費補助金基盤研究 (C), 高橋大介 (代表), R7～R9 年度, 1,300 千円 (R7 年度), 「GPU クラスタにおける数論変換のアルゴリズムに関する研究」
6. 文部科学省委託, 額田彰 (分担), R7 年度, 109,070 千円, 「次世代 HPC・AI 開発拠点形成」
7. 共創の場形成支援プログラム, 辻美和子 (分担), 2023, 21,483 千円 (間接経費込), 60,483 千円 (間接経費込), 量子ソフトウェアと HPC・シミュレーション技術の共創によるサステナブル AI 研究拠点
8. 科学研究費補助金基盤研究 (C), 多田野寛人 (代表), R5～R7 年度, 900 千円, 「鞍点型連立一次方程式に対する高速・高精度階層並列型解法の開発」
9. 科学研究費補助金基盤研究 (C), 藤田典久 (代表), R6～R8 年度, 900 千円, 「複数の演算加速装置に対応できる次世代高性能システムのためのプログラミング環境」
10. JST ASPIRE, 藤田典久 (分担), R6～R8 年度, 1,000 千円, 「次世代の高効率計算基盤を実現する適応型データ圧縮ハードウェアの探求」
11. 文部科学省委託, 藤田典久 (分担)・建部修見, R6～R8 年度, 3,179 千円, 「HPCI 整備計画調査研究」

6. 研究業績

(1) 研究論文

A) 査読付き論文

1. Mingzhe Yu, Osamu Tatebe, "AD-KFAC: Asynchronous Decentralized Distributed K-FAC with Dynamic Load Balancing and Fault Tolerance", Proceedings of 2025 10th International Conference on Machine Learning Technologies (ICMLT), pp.373-382, 10.1109/ICMLT65785.2025.11193392, 2025.
2. Sohei Koyama, Osamu Tatebe, "BBView: A View-Aware Burst-Buffer Mechanism for MPI-IO", Proceedings of 5th Workshop on Re-envisioning Extreme-Scale I/O for Emerging Hybrid

- HPC Workloads (REX-IO), pp.1-9, 10.1109/CLUSTERWorkshops65972.2025.11164194, 2025.
3. Mingzhe Yu, Osamu Tatebe, "Block-Diagonal K-FAC: A Trade-off Between Curvature Information and Resource Efficiency", Proceedings of 17th International OPT Workshop on Optimization for Machine Learning (OPT), 10 pages, 2025.
 4. Yukimasa Sugizaki and Daisuke Takahashi, "Improved Implementation of Number Theoretic Transform on NVIDIA GPU with Tensor Cores", Proc. Supercomputing Asia and International Conference on High Performance Computing in Asia Pacific Region (SCA/HPCAsia 2026), pp. 142-152 (2026). 10.1145/3773656.3773673
 5. Yukimasa Sugizaki and Daisuke Takahashi, "Improved Modular Multiplication Algorithms Using Solely IEEE 754 Binary Floating-Point Operations", IEEE Transactions on Emerging Topics in Computing, Vol. 13, No. 3, pp. 1259-1271 (2025). 10.1109/TETC.2025.3582551
 6. Tomoya Nagahashi and Daisuke Takahashi, "Construction of Large Zero-Aware Pattern Databases for Sliding Puzzles on Distributed Memory Machines", Proc. 25th International Conference on Computational Science and Its Applications (ICCSA 2025), Part I, Lecture Notes in Computer Science, Vol. 15648, pp. 272-284, Springer (2025). 10.1007/978-3-031-97000-9_17
 7. Daisuke Takahashi, "Implementation of Multiple Multiplicative Inverses Modulo 2^w Using Intel AVX-512 Instructions", Proc. 25th International Conference on Computational Science and Its Applications (ICCSA 2025), Part III, Lecture Notes in Computer Science, Vol. 15650, pp. 375-384, Springer (2025). 10.1007/978-3-031-96962-1_27
 8. Ryohei Kobayashi, Hiroyuki R. Takahashi, Akira Nukada, Yuta Asahina, Taisuke Boku, Ken Ohsuga, "GPU-Accelerated General Relativistic Radiation MHD Simulations with M-1 Closure", Journal of Information Processing, Vol. 34, pp. 149-160. Feb. 2026. 10.2197/ipsjip.34.149
 9. Maxence Vandromme, Miwako Tsuji, "Post-Variational Quantum Neural Networks on a Hybrid HPC-QC System", Proceedings of the SC '25 Workshops of the International Conference for High Performance Computing, Networking, Storage and Analysis, 10.1145/3731599.3767540, 2025.
 10. Soratouch Pornmaneerattanatri, Miwako Tsuji, Mitsuhsa Sato, Ketan Maheshwari, "Python-based Workflow System for Quantum-HPC Hybrid Application on HPC System and Quantum Computer with Shared Network", 10.1145/3784828.3786263, 2026.
 11. Gilles Buchs, Thomas L. Beck, Ryan S. Bennink, Daniel Claudino, Andrea Delgado, Nur Aiman Fadel, Peter Groszkowski, Kathleen E. Hamilton, Travis S. Humble, Neeraj Kumar, Ang Li, Phillip C. Lotshaw, Olli Makkula, Ryousei Takano, Amit Saxena, In-Saeng Suh, Miwako Tsuji, Roel Van Beeumen, Ugo Varetto, Yan Wang, Kazuya Yamazaki, Mikael P. Johansson, "The Role of Quantum Computing in Advancing Scientific High-Performance Computing: perspective from the ADAC Institute", Future Generation Computer Systems, 10.1016/j.future.2026.108487, 2026.
 12. Brice Chichereau, Stephane Vialle, Miwako Tsuji, Patrick Carribault, Mitsuhsa Sato, "HPCQCMARK: a new modular HPC-QC benchmarking framework", 2025 IEEE International Conference on Quantum Computing and Engineering (QCE), 10.1109/QCE65121.2025.10285, 2025.

13. David Redon, Pierre Fortin, Bilel Derbel, Miwako Tsuji, Mitsuhsa Sato “Massively Parallel CMA-ES With Increasing Population”, *Concurrency and Computation: Practice and Experience*, pp.1-19, 10.1002/cpe.70362, 2025.
14. Gregor Daiß, Patrick Diehl, Jiakun Yan, John K. Holmen, Rahulkumar Gayatri, Christoph Junghans, Alexander Straub, Jeff R. Hammond, Dominic Marcello, Miwako Tsuji, Dirk Pflüger, Hartmut Kaiser, “Asynchronous-Many-Task Systems: Challenges and Opportunities -- Scaling an AMR Astrophysics Code on Exascale machines using Kokkos and HPX”, *The International Journal of High Performance Computing Applications*, pp. 196–216, 10.1177/10943420251386503, 2025.
15. Hiroto Tadano, “Performance evaluation of a hierarchical parallel solver with iterative refinement using low-accuracy solutions for saddle point problems”, *Proceedings of the 44th International Conference on Simulation Technology (JSST2025)*, pp. 59-62, 2025.
16. Norihisa Fujita, Keita Ito, Kohji Yoshikawa, Kohei Hiraga, Osamu Tatebe, Akira Nukada, Taisuke Boku, "Large-Scale Vlasov Simulations for Astrophysics using Non-volatile Memory as Large Memory", *Proceedings of International Workshop on Intel eXtreme Performance Users Group (IXPUG SCA/HPCAsia 2026 workshop)*, pp.339-347, 10.1145/3784828.3785352, 2026.

B) 査読無し論文

1. 前田 宗則, 平賀 弘平, 大辻 弘貴, 建部 修見, 共有メモリアーキテクチャにおける高性能 RPC の方式検討, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-200, No. 32, pp. 1-7, 2025 年 8 月
2. 前田 棕祐, 中野 将生, 建部 修見, Pluvio: アドホックファイルシステムのための zero-copy I/O 非同期ランタイムの設計, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-200, No. 33, pp. 1-7, 2025 年 8 月
3. 小山 創平, 建部 修見, BBView: View を意識した MPI-IO 対応バーストバッファの設計, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-200, No. 34, pp. 1-15, 2025 年 8 月
4. 中野 将生, 建部 修見, 大規模高速ストレージアーキテクチャの実現に向けた非同期 RPC 基盤の設計, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-200, No. 31, pp. 1-9, 2025 年 8 月
5. 小木 勇輝, 建部 修見, 第 3 世代 Optane メモリによる大規模言語モデル KV キャッシュの性能評価, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-202, No. 3, pp. 1-9, 2025 年 12 月
6. 服部 真吾, 建部 修見, ネットワーク転送ベンチマーク向けの仮想ファイルシステムの提案, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2025-HPC-202, No. 21, pp. 1-10, 2025 年 12 月
7. 藤田 典久, 吉川 耕司, 辻 美和子, 朴 泰祐, 建部 修見, AMD MI300A APU における共有メモリシステムの性能評価, 情報処理学会研究報告ハイパフォーマンスコМПユーティング (HPC) , Vol. 2026-HPC-203, No. 2, pp. 1-8, 2026 年 3 月

8. 中野 将生, 前田 宗則, 建部 修見, LocustaRPC: 次世代リーダーシップマシンのためのスケーラブルな RPC 基盤, 情報処理学会研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2026-HPC-203, No. 9, pp. 1-10, 2026 年 3 月
9. Alexander Klassen, Osamu Tatebe, Tracing the RPC Lifecycle for Performance Analysis in Margo-Based HPC Data Services (unreferred), 情報処理学会研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2026-HPC-203, No. 10, pp. 1-8, 2026 年 3 月
10. 佐藤 賢斗, 小松 一彦, 高橋 慧智, 横田 理央, 小林 諒平, 佐藤 雅之, 富嶋 茂樹, 遠藤 新, Mohamed Wahib, Jens Domke, 藤田 典久, 宮島 敬明, 深谷 猛, 建部 修見, 三木 洋平, 下川辺 隆史, 星野 哲也, FS3.0: 富岳 NEXT 時代を見据えた HPCI 運用システム整備計画に関する調査研究, 情報処理学会研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2026-HPC-203, No. 33, pp. 1-6, 2026 年 3 月
11. 高橋 大介, “Intel AVX-512 命令を用いた複数のモジュラ逆数計算の高速化”, 日本応用数理学会 2025 年度年会講演予稿集 (2025).
12. 高橋 大介, “GPU クラスタにおける並列数論変換の自動チューニング”, 日本応用数理学会 2025 年度年会講演予稿集 (2025).
13. 川上 昌汰, 高橋 大介, “より低精度な FFT を用いた高精度な FFT の計算手法の提案”, 情報処理学会研究報告, Vol. 2025-HPC-200, No. 25 (2025).
14. 朴 泰祐, 石田 真一, 額田 彰, 藤田 典久, 下川辺 隆史, 中島 研吾, 三木 洋平, 横田 理央, 遠藤 敏夫, 小林 諒平. 次世代 HPC・AI 研究開発支援センターと国内における GPU プログラム開発支援, 情報処理学会研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2025-HPC-202, No. 9, pp. 1-9, 2025 年 12 月.
15. 辻 美和子, 佐藤 三久, "量子 HPC 連携プラットフォームに向けたソフトウェアとプログラミング環境", 情報処理学会研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2025-HPC-202, No. 14, pp. 1-7, 2025 年 12 月
16. Maxence, Vandromme, Miwako Tsuji, Tatsuhiko Tsunoda, Artem Lysenko, Mitsuhsa Sato, "Visualizing the Effects of Quantum Circuits in a Hybrid Classical-Quantum Machine Learning Algorithm", 第 15 回量子ソフトウェア研究発表会 2025-QS-15(6), 2025
17. 吉田 智, 藤田 典久, 白井 拓翔, 朴 泰祐, 辻 美和子, NVIDIA GH200 における System-Allocated Memory の性能評価, 研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2025-HPC-199, No. 7, pp. 1-12, 2025 年 5 月
18. 阿部 崇人, 佐藤 拓人, 朴 泰祐, 藤田 典久, 日下 博幸, ドライミスト効果を持つ都市気象コードの GH200 vs Xeon+H100 上の性能比較, 研究報告ハイパフォーマンスコМПューティング (HPC) , Vol. 2025-HPC-199, No. 5, pp. 1-11, 2025 年 5 月

(2) 国際会議発表

A) 招待講演

1. Taisuke Boku, “Advanced GPU Computing Technologies and Japanese Next Generation Supercomputing Project”, IHPCF2025 (International HPC Forum 2025), Changsha, Jun. 20th, 2025.

2. Taisuke Boku, “Advanced GPU Computing Technologies for MD Simulations and Next Generation’s Japanese Flagship Supercomputing Project”, AHeDD2025, Hangzhou, Sep. 25th, 2025.
3. Taisuke Boku, "Advanced HPC-AI R&D Support Center - GPU Application Development Support in Japan -", HANAMI High Level Symposium 2, Chamonix, Dec. 10th, 2025.
4. Taisuke Boku, “Advanced GPU Computing Technologies and Performance Enhancement on MD Simulations”, Pacifichem2025, Honolulu, Dec. 17th, 2025.
5. Taisuke Boku, “Extreme Heterogeneity for HPC/AI What is the Next Stage ?”, Extreme Heterogeneity Workshop 2026 (ExHET2026) at SCA/HPCAsia2026, Osaka, Jan. 26th, 2026.
6. Taisuke Boku, "Governmental support for GPU-ization on HPC/AI applications toward FugakuNEXT and nation-wide GPU systems", OpenACC Workshop at SCA/HPCAsia2026, Jan. 26th, 2026.
7. Taisuke Boku, "Accelerating GPU-acceleration on Supercomputers in Japan and Application Development Support for Next Generation", Multicore World 2026, Christchurch, Feb. 19th, 2026.
8. Daisuke Takahashi, “Implementation of Parallel 3-D FFT with 2-D Decomposition on GPU Clusters”, International Conference on Modern Mathematical Methods and High-Performance Computing in Science & Technology (M3HPCST-2026), Mathura, India, January 28, 2026.
9. Miwako Tsuji, "RIKEN Quantum HPC Hybrid Platform", Quantum Resources for Unified Computing Hub (QRUCH) workshop at ISC25, 2025.
10. Miwako Tsuji, "Scalable Quantum-HPC hybrid computing in JHPC Quantum Project", IBM Quantum Workshop at ISC25, 2025.
11. Miwako Tsuji, "Practice and Experience in JHPC-Quantum: HPC Oriented quantum-HPC integration", QUEST-IS 2025, 1st International Quantum Engineering conference and exhibition, 2025.
12. Miwako Tsuji, "High-Performance Computing and Quantum Computing in Japan", Munich Quantum Software Forum, 2025.

B) 一般講演

1. Mingzhe Yu, Osamu Tatebe, "AD-KFAC: Asynchronous Decentralized Distributed K-FAC with Dynamic Load Balancing and Fault Tolerance", 2025 10th International Conference on Machine Learning Technologies (ICMLT), Helsinki, May 23-25, 2025.
2. Sohei Koyama, Osamu Tatebe, "BBView: A View-Aware Burst-Buffer Mechanism for MPI-I/O", 5th Workshop on Re-envisioning Extreme-Scale I/O for Emerging Hybrid HPC Workloads (REX-IO), Edinburgh, Sep. 2, 2025.
3. Mingzhe Yu, Osamu Tatebe, "Block-Diagonal K-FAC: A Trade-off Between Curvature Information and Resource Efficiency", 17th International OPT Workshop on Optimization for Machine Learning (OPT), Poster, San Diego, Dec. 6, 2025.
4. Daisuke Takahashi, “Automatic Tuning for Parallel Number-Theoretic Transforms on GPU Clusters”, SIAM Conference on Parallel Processing for Scientific Computing (PP26), Berlin, Germany, March 6, 2026.

5. Yukimasa Sugizaki and Daisuke Takahashi, “Improved Implementation of Number Theoretic Transform on NVIDIA GPU with Tensor Cores”, Supercomputing Asia and International Conference on High Performance Computing in Asia Pacific Region (SCA/HPCAsia 2026), Osaka, Japan, January 27, 2026.
6. Yukimasa Sugizaki and Daisuke Takahashi, “An Improved Implementation of Multi-Threaded Number Theoretic Transform Using Arm Scalable Vector Extension Instruction Set”, 24th IEEE International Symposium on Parallel and Distributed Computing (ISPDC 2025), Rennes, France, July 9, 2025.
7. Daisuke Takahashi, “Implementation of Multiple Multiplicative Inverses Modulo 2^w Using Intel AVX-512 Instructions”, 25th International Conference on Computational Science and Its Applications (ICCSA 2025), Istanbul, Turkey, June 30, 2025.
8. Tomoya Nagahashi and Daisuke Takahashi, “Construction of Large Zero-Aware Pattern Databases for Sliding Puzzles on Distributed Memory Machines”, 25th International Conference on Computational Science and Its Applications (ICCSA 2025), Istanbul, Turkey, June 30, 2025.
9. Hiroto Tadano, “Performance evaluation of a hierarchical parallel solver with iterative refinement using low-accuracy solutions for saddle point problems”, The 44th International Conference on Simulation Technology (JSST2025), Aomori, Japan, September 1-4, 2025.
10. Norihisa Fujita, Keita Ito, Kohji Yoshikawa, Kohei Hiraga, Osamu Tatebe, Akira Nukada, Taisuke Boku, "Large-Scale Vlasov Simulations for Astrophysics using Non-volatile Memory as Large Memory", International Workshop on Intel eXtreme Performance Users Group (IXPUG SCA/HPCAsia 2026 workshop), Osaka, Jan. 26, 2026.

C) ポスター発表

1. Shingo Hattori, Osamu Tatebe (advisor), “SRAP: Sender-Side Receiver-Aware Port Selection for High-Speed Multi-Flow TCP”, The International Conference for High Performance Computing, Networking, Storage, and Analysis (SC), Student Research Competition Graduate, Poster, St. Louis, Nov. 16-21, 2025.
2. Miwako Tsuji, Kengo Nakajima, Mitsuhisa Sato, “JHPC-Quantum: Updates for Research and development of quantum-supercomputers hybrid platform for exploration of uncharted computable capabilities”, International Supercomputing Conference (ISC25) Project Poster.
3. Norihisa Fujita, Taisuke Boku, Tomo Yoshida, Takuto Shirai, Miwako Tsuji, “GPU-CPU Shared Memory Performance Analysis on NVIDIA GH200”, 2025 IEEE International Conference on Cluster Computing (IEEE Cluster 2025).

(3) 国内学会・研究会発表

A) 招待講演

1. 朴 泰祐, “JCAHPC スーパーコンピュータ Miyabi-G のメモリ特性及び性能評価”, PC クラスタワークショップ, 柏市, 2025 年 6 月 27 日.
2. 朴 泰祐, “日本におけるスーパーコンピュータの GPU 化とプログラム開発支援体制”, Supercomputing Japan 2026, 東京, 2026 年 2 月 2 日.

3. 辻 美和子, “量子 HPC 連携プラットフォームに向けたソフトウェア開発”, PCCC25 (設立 25 年記念 PC クラスタシンポジウム) 「HPC 最前線」, 2025.
4. 辻 美和子, “量子 HPC 連携プラットフォームの設計と実践, 応用物理学会・量子エレクトロニクス研究会「量子コンピュータ研究の最前線 ～ハードウェアから応用・連携技術まで～」”, 2025.

B) その他の発表

1. 前田 宗則, 平賀 弘平, 大辻 弘貴, 建部 修見, 共有メモリアーキテクチャにおける高性能 RPC の方式検討, 第 200 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 高松, 8/4-6, 2025
2. 前田 椋祐, 中野 将生, 建部 修見, Pluvio: アドホックファイルシステムのための zero-copy I/O 非同期ランタイムの設計, 第 200 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 高松, 8/4-6, 2025
3. 小山 創平, 建部 修見, BBView: View を意識した MPI-IO 対応バーストバッファの設計, 第 200 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 高松, 8/4-6, 2025
4. 中野 将生, 建部 修見, 大規模高速ストレージアーキテクチャの実現に向けた非同期 RPC 基盤の設計, 第 200 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 高松, 8/4-6, 2025
5. 小木 勇輝, 建部 修見, 第 3 世代 Optane メモリによる大規模言語モデル KV キャッシュの性能評価, 第 202 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 沖縄, 12/15-16, 2025
6. 服部 真吾, 建部 修見, ネットワーク転送ベンチマーク向けの仮想ファイルシステムの提案, 第 202 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 沖縄, 12/15-16, 2025
7. 中野 将生, 前田 宗則, 建部 修見, LocustaRPC: 次世代リーダーシップマシンのためのスケーラブルな RPC 基盤, 第 203 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 札幌, 3/16-18, 2026
8. Alexander Klassen, Osamu Tatebe, Tracing the RPC Lifecycle for Performance Analysis in Margo-Based HPC Data Services (unreferred), 第 203 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 札幌, 3/16-18, 2026
9. 佐藤 賢斗, 小松 一彦, 高橋 慧智, 横田 理央, 小林 諒平, 佐藤 雅之, 富嶋 茂樹, 遠藤 新, Mohamed Wahib, Jens Domke, 藤田 典久, 宮島 敬明, 深谷 猛, 建部 修見, 三木 洋平, 下川辺 隆史, 星野 哲也, FS3.0: 富岳 NEXT 時代を見据えた HPCI 運用システム整備計画に関する調査研究, 第 203 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 札幌, 3/16-18, 2026
10. 朴 泰祐, 石田 真一, 額田 彰, 藤田 典久, 下川辺 隆史, 中島 研吾, 三木 洋平, 横田 理央, 遠藤 敏夫, 小林 諒平, 次世代 HPC・AI 研究開発支援センターと国内における GPU プログラム開発支援, 第 255 回システム・アーキテクチャ・第 202 回ハイパフォーマンส์コンピューティング合同研究発表会, 沖縄, 12/15-16, 2025

11. 高橋 大介, “Intel AVX-512 命令を用いた複数のモジュラ逆数計算の高速化”, 日本応用数理学会 2025 年度年会, 東京都新宿区, 2025 年 9 月 4 日.
12. 高橋 大介, “GPU クラスタにおける並列数論変換の自動チューニング”, 日本応用数理学会 2025 年度年会, 東京都新宿区, 2025 年 9 月 3 日.
13. 川上 昌汰, 高橋 大介, “より低精度な FFT を用いた高精度な FFT の計算手法の提案”, 情報処理学会第 200 回ハイパフォーマンส์コンピューティング研究発表会 (SWoPP 2025), 高松市, 2025 年 8 月 5 日.
14. 辻 美和子, 佐藤 三久, “量子 HPC 連携プラットフォームに向けたソフトウェアとプログラミング環境”, 第 255 回システム・アーキテクチャ・第 202 回ハイパフォーマンส์コンピューティング合同研究発表会, 沖縄, 12/15-16, 2025
15. 辻 美和子, “量子 HPC 連携プラットフォームのソフトウェア”, 連続セミナー2025 「AI が拓く次世代イノベーション」第 9 回 量子ソフトウェアスタックの現在, オンライン, 2025 年 11 月 7 日
16. 多田野 寛人, 鞍点型連立一次方程式に対する反復改良付き階層並列型解法の GPU による高速化, 日本応用数理学会 第 22 回研究部会連合発表会, 東京, 2026 年 3 月.
17. 吉田 智, 藤田 典久, 白井 拓翔, 朴 泰祐, 辻 美和子, NVIDIA GH200 における System-Allocated Memory の性能評価, 第 199 回情報処理学会ハイパフォーマンส์コンピューティング研究会, 柏, 2025 年 5 月 8 日
18. 阿部 崇人, 佐藤 拓人, 朴 泰祐, 藤田 典久, 日下 博幸, ドライミスト効果を持つ都市気象コードの GH200 vs Xeon+H100 上の性能比較, 第 199 回情報処理学会ハイパフォーマンส์コンピューティング研究会, 柏, 2025 年 5 月 8 日
19. 藤田 典久, 伊藤 圭汰, 吉川 耕司, 額田 彰, 朴 泰祐, 不揮発性メモリを用いた Vlasov シミュレーションの大規模化, 第 201 回情報処理学会ハイパフォーマンส์コンピューティング研究会, 金沢, 2025 年 9 月 28 日
20. 藤田 典久, 吉川 耕司, 辻 美和子, 朴 泰祐, 建部 修見, AMD MI300A APU における共有メモリシステムの性能評価, 第 203 回情報処理学会ハイパフォーマンส์コンピューティング研究発表会, 札幌, 3/16-18, 2026

7. 異分野間連携・産学官連携・国際連携・国際活動等

異分野間連携（センター内外）

- 素粒子物理研究部門と共同で Gfarm ファイルシステムを用いた Japan Lattice Data Grid (JLDG) の構築, 運用
- 地球環境研究部門・日下グループとの City-LES コードの GPU 化に関する研究
- 国立研究開発法人産業技術総合研究所と量子・AI 融合技術ビジネス開発グローバル研究センターとの連携協定書を締結し, 量子コンピュータ, AI, およびこれらと HPC の連携について協力を行った
- 筑波大学において, 先進的な分野における本学の強みや特色を活かし, 研究, 人材育成, 産学連携等に関して国内外の教育研究機関, 企業等との連携協力を推進するために設立されたトランスフォーメーションコネクタ機構における量子領域で, センター内外の量子情報や量子応用分野の研究者との連携の枠組みを立ち上げた

産学官連携

- 特別共同研究事業により筑波大学スモールリサーチラボ（SRL）富士通データコンピューティング基盤共同研究拠点を設置し、次世代データコンピューティング基盤のコア技術を創出
- Ahead Biocomputing 社との学際ハブ拠点形成事業におけるペプチド膜透過シミュレーションの GPU 化に関する共同研究

国際連携・国際活動

- 米国エネルギー省と文部科学省が締結しているシステムソフトウェアに関する共同研究契約により、米国アルゴンヌ国立研究所とのストレージに関する共同研究
- 米国オークリッジ国立研究所およびバージニア工科大学とのヘテロ環境におけるプログラミングに関する共同研究
- 「エネルギーおよび関連分野における研究開発協力に関する日本国文部科学省及びアメリカ合衆国エネルギー省との間の実施取決めに基づく、オープンな科学研究のための現在および将来の高性能計算に関連する計算機科学およびソフトウェアに関するプロジェクト取決め」におけるエネルギー省傘下の諸研究所とのプログラミング言語とプログラミングモデルに関する共同研究

8. シンポジウム、研究会、スクール等の開催実績

1. 量子 HPC セミナー，つくば，2025 年 7 月 9 日
2. Gfarm シンポジウム 2025，東京，2025 年 9 月 19 日
3. AMD MI300A 講習会，つくば，2025 年 10 月 21 日～23 日
4. Gfarm ワークショップ 2025，沖縄，2025 年 12 月 17 日～18 日
5. International Workshop on Arm-based HPC: Practice and Experience (IWAHPCE2026), Osaka, January 26, 2026
6. 第 1 回 HAIRDESC シンポジウム，オンライン，2026 年 3 月 30 日

9. 管理・運営

1. 建部修見：情報環境企画室員
2. 建部修見：ネットワーク管理委員会委員
3. 建部修見：情報セキュリティ技術小委員会委員
4. 建部修見：基幹ネットワーク小委員会委員
5. 建部修見：計算科学研究センター副センター長
6. 建部修見：計算科学研究センター高性能計算システム研究部門主任
7. 建部修見：計算科学研究センター高性能計算システム運用開発室室長
8. 建部修見：計算科学研究センター情報セキュリティ委員会委員
9. 建部修見：計算科学研究センター研究倫理委員会副委員長
10. 建部修見：計算科学研究センター情報環境委員会部局技術責任者
11. 建部修見：計算科学研究センター計算機システム運用委員会委員長
12. 建部修見：計算科学研究センター次世代計算機システム研究開発室員

13. 建部修見：計算科学研究センタービッグデータ・AI 連携推進室員
14. 高橋大介：情報環境機構学術情報メディアセンター運営委員会委員
15. 辻美和子：計算科学研究センター次世代計算機システム研究開発室員
16. 多田野寛人：計算科学研究センター計算科学振興室員
17. 多田野寛人：計算科学研究センター計算機システム運用委員会委員
18. 多田野寛人：計算科学研究センター情報セキュリティ委員会委員
19. 藤田典久：計算科学研究センター計算機システム運用委員会委員
20. 藤田典久：計算科学研究センター高性能計算システム運用開発室員

10. 社会貢献・国際貢献

1. 建部修見：HPCI セキュリティインシデント即応委員会委員
2. 建部修見：HPCI 連携サービス委員会委員
3. 建部修見：HPCI 連携サービス運営・作業部会委員
4. 建部修見：HPCI 利用研究課題審査委員会レビューアー
5. 建部修見：理化学研究所客員研究員
6. 建部修見：情報通信研究機構協力研究員
7. 建部修見：東京科学大学情報基盤センターTSUBAME 共同利用作業部会委員
8. 建部修見：特定非営利団体つくば OSS 技術支援センター理事長
9. Osamu Tatebe: Program Committee, IEEE/ACM International Conference for High Performance Computing, Networking, Storage and Analysis (SC25)
10. Osamu Tatebe: Program Track Chair, ACM International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia 2025)
11. Osamu Tatebe: Program Committee, 31st International European Conference on Parallel and Distributed Computing (Euro-Par 2025)
12. Osamu Tatebe: Program Committee, IEEE/ACM International Conference on Big Data Computing, Applications and Technologies (BDCAT2025)
13. Osamu Tatebe: Program Committee, IEEE International Conference on Cloud Computing (CLOUD 2025)
14. Osamu Tatebe: Program Committee, 10th International Parallel Data Systems Workshop (PDSW 2025)
15. Osamu Tatebe: Program Committee, 6th Workshop on Extreme-Scale Storage and Analysis (ESSA 2025)
16. Osamu Tatebe: Program Committee, 15th International Workshop on Advances in High-Performance Computational Earth Sciences: Numerical Methods, Frameworks & Applications (IHPCES 2025)
17. Taisuke Boku: General Co-Chair, International Conference IEEE Cluster 2025, Edinburgh, Sep. 2025.
18. Taisuke Boku: Steering Committee Chair, International Conference HPC Asia Series
19. Taisuke Boku: Steering Committee Member, International Conference ICPP
20. Taisuke Boku: interim Board of Directors Member, NVIDIA Supercomputing Users Group (NVSUG)

21. 高橋大介 : HPCI 利用研究課題審査委員会レビューアー
22. 高橋大介 : HPCI 連携サービス運営・作業部会委員
23. 高橋大介 : 理化学研究所客員主管研究員
24. 高橋大介 : 情報処理学会論文誌査読委員
25. 高橋大介 : 情報処理学会ハイパフォーマンズコンピューティング研究会運営委員
26. Daisuke Takahashi: The International Journal of High Performance Computing Applications Editor
27. Daisuke Takahashi: Supercomputing Asia and the International Conference on High Performance Computing in Asia-Pacific Region (SCA/HPCAsia 2026) Tutorial Committee Member
28. Daisuke Takahashi: The International Conference on Computational Science (ICCS 2025) Program Committee Member
29. Daisuke Takahashi: The 25th International Conference on Computational Science and Its Applications (ICCSA 2025) Publicity Committee Member
30. Daisuke Takahashi: The 20th International Workshop on Automatic Performance Tuning (iWAPT 2025) Program Committee Member
31. Daisuke Takahashi: The 39th IEEE International Parallel & Distributed Processing Symposium (IPDPS 2025) Program Committee Member
32. 辻美和子 : 情報処理学会論文誌コンピューティングシステム編集委員長
33. 辻美和子 : 2025 年並列／分散／協調処理に関するサマー・ワークショップ (SWoPP 2025) 組織委員長
34. 辻美和子 : xSIG (cross-disciplinary workshop on computing Systems, Infrastructures, and programminG) プログラム委員
35. Miwako Tsuji: Subject Area Editor, International Journal of High Performance Computing Applications
36. Miwako Tsuji: Associate Editor, ACM Transactions on Parallel Computing
37. Miwako Tsuji: Publicity & Media Chair, Supercomputing Asia and International Conference on High Performance Computing in Asia Pacific Region (SCA/HPCAsia 2026)
38. Miwako Tsuji: Program Committee member, The 32nd IEEE International Conference on High Performance Computing, Data, and Analytics (HiPC 2025)
39. Miwako Tsuji: Program Committee member, The 9th Annual Parallel Applications Workshop (PAW-ATM 25)
40. Miwako Tsuji: Program Committee member, The International Conference for High Performance Computing, Networking, Storage, and Analysis (SC25)
41. Miwako Tsuji: Research/ACM SRC Posters Member, The International Conference for High Performance Computing, Networking, Storage, and Analysis (SC25)
42. Miwako Tsuji: Keynote, Plenaries, and Invited Speakers Member, The International Conference for High Performance Computing, Networking, Storage, and Analysis (SC25)
43. Miwako Tsuji: Program Committee member, 37th IEEE/SBC International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)
44. Miwako Tsuji: Publicity, 37th IEEE/SBC International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)

45. Miwako Tsuji: Posters Chair, IEEE International Conference on Cluster Computing (CLUSTER2025)
46. Miwako Tsuji: Program Committee member, 54th International Conference on Parallel Processing (ICPP25)
47. Miwako Tsuji: Program Committee member, 31th International European Conference on Parallel and Distributed Computing (Euro-Par 2025)
48. Miwako Tsuji: Program Committee member, ISC High Performance (ISC25)
49. Miwako Tsuji: Program Committee member, 31st International Workshop on High-level Parallel Programming Models and Supportive Environments
50. Miwako Tsuji: Program Committee member, 39th IEEE International Parallel & Distributed Processing Symposium (IPDPS2025)
51. Miwako Tsuji: Program Committee member, IEEE/ACM International Symposium on Cluster, Cloud and Internet Computing (CCGRID2025)
52. Miwako Tsuji: Associate Directors, ARM HPC User Group
53. 多田野寛人：日本シミュレーション学会理事
54. 多田野寛人：日本シミュレーション学会「非線形現象の高性能数値解析技術研究委員会」委員
55. 多田野寛人：日本応用数理学会「行列・固有値問題の解法とその応用」研究部会運営委員
56. 多田野寛人：日本応用数理学会「非線形問題の高性能解法と可視化技術」研究部会幹事
57. 藤田典久：理化学研究所客員研究員
58. 藤田典久：情報処理学会 xSIG 2025 プログラム委員
59. Norihisa Fujita: Program Chair, The 5th International Workshop on Extreme Heterogeneity Solutions (ExHET 2026)